

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0045855
Application Number

출원 년 월 일 : 2002년 08월 02일
Date of Application AUG 02, 2002

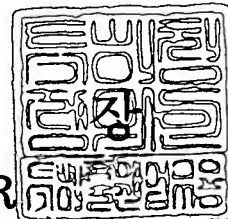
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 02 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.02
【발명의 명칭】	바이 씨 모스 트랜지스터의 제조방법
【발명의 영문명칭】	Method for fabricating a BiCMOS transistor
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	차재한
【성명의 영문표기】	CHA, Jae Han
【주민등록번호】	700517-1114119
【우편번호】	361-302
【주소】	충청북도 청주시 흥덕구 봉명2동 353-5 현대사원아파트 라 동 804호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

베이스 저항과 베이스와 콜렉터 사이의 기생 용량을 감소시켜 바이폴라 트랜지스터의 고주파 특성을 개선한 BiCMOS 트랜지스터의 제조방법을 개시한다. 이는, 반도체기판에 소자분리를 위한 필드산화막과 매몰 산화막을 형성하는 단계와, 반도체기판에, MOS 트랜지스터가 형성될 웰과 바이폴라 트랜지스터의 콜렉터를 형성하는 단계와, 반도체기판 상에 게이트절연막을 형성하는 단계와, 게이트절연막 위에, MOS 트랜지스터의 게이트전극과 바이폴라 트랜지스터의 외부 베이스를 형성하는 단계와, 결과물 상에 스페이서용 질화막을 형성하는 단계와, 바이폴라 트랜지스터 영역의 스페이서용 질화막을 제거하는 단계와, 바이폴라 트랜지스터 영역에 실리콘층 및 폴리실리콘층을 선택적으로 형성하는 단계와, 폴리실리콘층 위에 절연막을 형성하는 단계와, 스페이서용 질화막을 식각하여, MOS 트랜지스터의 게이트전극 및 바이폴라 트랜지스터의 외부 베이스의 측면에 스페이서를 형성하는 단계, 그리고 MOS 트랜지스터의 소오스/드레인을 형성하는 단계로 이루어진다.

【대표도】

도 2e

【명세서】**【발명의 명칭】**

바이 씨 모스 트랜지스터의 제조방법{Method for fabricating a BiCMOS transistor}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 BiCMOS 제조공정을 간략히 도시한 단면도들이다.

도 2a 내지 도 2e는 본 발명에 의한 BiCMOS 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 바이폴라 트랜지스터의 고주파 특성을 개선하여 소자의 신뢰성을 향상시킨 바이 씨 모스(BiCMOS) 트랜지스터의 제조방법에 관한 것이다.

<4> 최근에 급부상하고 있는 무선 통신용 단말기(cellular phone) 또는 무선 랜(wireless LAN) 등에 사용되는 고성능의 바이폴라 트랜지스터(Bipolar Transistor)는 게이트의 지연시간을 줄일 수 있으나, 방출열량이 많아 하나의 칩에 집적할 수 있는 트랜지스터의 개수에 제약을 받는다. 반면에, 씨모스(Complementary MOS; 이하 CMOS라 칭함) 회로의 경우에는 회로에서 발생하는 열량을 극소화시킬 수 있어 전력소모의 측면에서는

매우 유리하지만, 용량성 부하를 충방전시키는 데에는 CMOS 트랜지스터의 자체 전류 구동능력이 작아서 동작 속도에 제한을 갖는다. 따라서, 고속 동작을 필요로 하거나 아날로그 회로가 복합된 디지털 회로에서는 CMOS와 바이폴라 트랜지스터를 복합한 바이 씨 모스(BiCMOS) 구조를 사용하는 것이 유리하다.

<5> 도 1a 내지 도 1d는 종래의 BiCMOS 제조공정을 간략히 도시한 단면도들로서, Y. Kinishita 등이 IEDM94-441에 발표한 논문 "Process Integration Technology for sub-30ps ECL BiCMOS using Heavily Doped Epitaxial Contact(HYDEC)"를 참조한 것이다. 도면에서 좌측은 바이폴라 트랜지스터 영역을, 우측은 모스 트랜지스터 영역을 각각 나타낸다.

<6> 도 1a를 참조하면, 필드산화막(4)에 의해 활성영역과 비활성영역으로 분리된 반도체기판(2) 상에 소정 두께의 산화막을 형성하여 게이트산화막(6)을 형성한다. 상기 게이트산화막(6) 위에 도우프되지 않은 폴리실리콘막(8)을 증착한 다음, 전면에 질화막(10)을 증착한다. 다음, 사진식각 공정으로 바이폴라 트랜지스터 영역의 상기 질화막(10), 도우프되지 않은 폴리실리콘막(8) 및 게이트산화막(6)을 차례로 패터닝한 다음, 노출된 게이트산화막을 습식식각하여 제거한다. 이 때, 도시된 바와 같이 바이폴라 트랜지스터 영역의 도우프되지 않은 폴리실리콘막(8) 하부에 언더컷이 형성되도록 한다. 모스 트랜지스터 영역에 형성된 상기 폴리실리콘막(8)은 이후에 게이트전극이 되고, 바이폴라 트랜지스터 영역에 형성된 폴리실리콘막은 외부 베이스가 된다.

<7> 도 1b를 참조하면, 반도체기판의 전면에 보론(B)이 고농도로 도우프된 폴리실리콘막(12)을 증착한 다음 이 폴리실리콘막에 대해 에치백(etch-back)을 실시한다. 보론(B)이 고농도로 도우프된 폴리실리콘막(12)은 단차 도포성(step coverage)이 매우 좋기 때

문에, 도시된 것과 같이 얇은 게이트산화막 측면에 형성된 언더컷 부분에도 쉽게 증착되어 언더컷이 도우프된 폴리실리콘막으로 매립된다.

<8> 도 1c를 참조하면, 상기 보론(B)이 고농도로 도우프된 폴리실리콘막을 이방성식각한다. 그러면, 도시된 바와 같이 바이폴라 트랜지스터에 형성된 언더컷 부분에만 보론(B)이 고농도로 도우프된 폴리실리콘막(12)이 남게 된다. 이어서, 반도체기판의 전면에 산화막을 소정 두께 증착한 다음 이를 에치백 함으로써, 바이폴라 트랜지스터의 외부 베이스와 에미터를 단락시키기 위한 스페이서(14)를 형성한다. 다음, 바이폴라 트랜지스터 영역의 노출된 반도체기판(2)에 불순물을 주입하여 베이스(16)를 형성한다. 계속해서, 결과물의 전면에 도우프된 폴리실리콘막과 산화막을 증착한 다음, 차례로 패터닝하여 바이폴라 트랜지스터의 에미터(18)와 캐핑층(20)을 형성한다.

<9> 도 1d를 참조하면, 사진식각 공정으로 상기 도우프되지 않은 폴리실리콘막을 패터닝하여 모스 트랜지스터의 게이트전극(8b)과 바이폴라 트랜지스터의 외부 베이스(8a)를 형성한다. 다음, 반도체기판의 전면에 산화막을 증착한 다음 이방성식각하여 상기 외부 베이스(8a) 및 게이트전극(8b)의 측면에 각각 스페이서(22a, 22b)를 형성한다. 다음에, 이 스페이서를 마스크로 사용하여 반도체기판에 고농도의 이온을 주입한 다음 열처리한다. 그러면, 바이폴라 트랜지스터의 외부 베이스(8a) 및 모스 트랜지스터의 게이트전극(8b)이 각각 고농도로 도우프되고, 바이폴라 트랜지스터 영역에는 고농도 불순물영역(24)이 형성되고, 모스 트랜지스터 영역에는 소오스/드레인(26)이 각각 형성된다.

<10> 이상과 같이 종래의 공정에 의하면, 후속 열공정에 의해서 바이폴라 트랜지스터 영역에 고농도의 불순물영역(24)이 형성되어 베이스와 콜렉터 사이의 기생 용량을 증가시켜 바이폴라 트랜지스터의 고주파 특성을 저하시키는 원인이 된다. 또한, 외부 베이스와

채널에 존재하는 내부 베이스 사이의 연결이 도 1b에 나타난 것과 같이 좁은 면적으로 접합되기 때문에, 전체 베이스저항(R_b)이 증가하여 고주파 특성을 감소시키는 원인으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명이 이루고자 하는 기술적 과제는, 베이스 저항과 베이스와 콜렉터 사이의 기생 용량을 감소시켜 바이폴라 트랜지스터의 고주파 특성을 개선하여 결과적으로 소자의 성능을 향상시킬 수 있는 BiCMOS 트랜지스터의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<12> 상기 과제를 이루기 위하여 본 발명에 의한 BiCMOS 트랜지스터의 제조방법은, 반도체기판에 소자분리를 위한 필드산화막과 매몰 산화막을 형성하는 단계와, 상기 반도체기판에, MOS 트랜지스터가 형성될 웰과 바이폴라 트랜지스터의 콜렉터를 형성하는 단계와, 상기 반도체기판 상에 게이트절연막을 형성하는 단계와, 상기 게이트절연막 위에, MOS 트랜지스터의 게이트전극과 바이폴라 트랜지스터의 외부 베이스를 형성하는 단계와, 결과물 상에 스페이서용 질화막을 형성하는 단계와, 바이폴라 트랜지스터 영역의 상기 스페이서용 질화막을 제거하는 단계와, 상기 바이폴라 트랜지스터 영역에 실리콘층 및 폴리실리콘층을 선택적으로 형성하는 단계와, 상기 폴리실리콘층 위에 절연막을 형성하는 단계와, 상기 스페이서용 질화막을 식각하여, 상기 MOS 트랜지스터의 게이트전극

및 상기 바이폴라 트랜지스터의 외부 베이스의 측면에 스페이서를 형성하는 단계, 그리고 상기 모스 트랜지스터의 소오스/드레인을 형성하는 단계를 포함한다.

<13> 본 발명에 있어서, 상기 실리콘층 및 폴리실리콘층을 선택적으로 형성하는 단계는 선택적 에피택셜 성장(Selective Epitaxial Growth) 방법으로 형성한다. 그리고, 상기 선택적 에피택셜 성장공정을 진행할 때 고농도의 불순물을 첨가한다.

<14> 또한, 바이폴라 트랜지스터 영역의 상기 스페이서용 질화막을 제거하는 단계에서, 상기 외부 베이스 하부에 형성된 게이트절연막도 완전히 제거하는 것이 바람직하다.

<15> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명한다.

<16> 도 2a 내지 도 2e는 본 발명에 의한 BiCMOS 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

<17> 도 2a를 참조하면, 고농도(P^+) 에피택셜층(32) 및 저농도(P^-) 에피택셜층(34)으로 이루어진 반도체기판에 통상의 방법으로 소자분리막(36)과 매몰산화막(38)을 형성한다. N형의 불순물 주입 및 열처리 공정을 실시하여 모스 트랜지스터가 형성될 N웰(40)과 바이폴라 트랜지스터의 콜렉터(42)를 각각 형성한다. 다음, 상기 반도체기판의 표면에 얇은 산화막을 증착하여 게이트절연막(44)을 형성하고, 그 위에 도우프되지 않은 폴리실리콘막과 질화막을 차례로 증착한 다음 패터닝하여 모스 트랜지스터의 게이트전극(46)과 캐핑층(48)을 형성한다. 이 때, 바이폴라 트랜지스터 영역에는 외부 베이스(50)와 캐핑층(52)이 형성된다. 다음, 전면에 얇은 두께의 산화막(54)을 증착하고, 이어서 스페이서

용 질화막(56)을 두껍게 증착한다. 상기 산화막(54)은 상기 스페이서용 질화막(56)을 식각할 때 식각방지막으로 사용된다. 이어서, 사진식각 공정으로 상기 스페이서용 질화막(56)과 산화막(54)을 식각한다.

<18> 도 2b를 참조하면, 상기 반도체기판의 전면에 포토레지스트를 도포한 다음 사진공정을 이용하여 바이폴라 트랜지스터 영역을 노출시키는 포토레지스트 패턴(58)을 형성한다. 이 포토레지스트 패턴(58)을 마스크로 사용하여, 노출된 영역의 스페이서용 질화막(56)과 식각방지막 산화막(54)을 제거한다. 이 때, 바이폴라 트랜지스터 영역의 외부 게이트 상부의 캐핑층도 함께 제거된다. 그리고, 등방성 건식식각 또는 습식식각을 사용하여 노출된 영역의 상기 막들이 완전히 제거되도록 한다. 그러면, 도식된 바와 같이 바이폴라 트랜지스터의 외부 베이스(50) 하부에 형성되어 있던 게이트산화막이 식각되어 언더컷이 형성된다.

<19> 도 2c를 참조하면, 상기 포토레지스트 패턴을 제거한 후, 통상의 선택적 에피택셜 성장(Selective Epitaxial Growth; SEG) 공정을 실시하여 실리콘막을 형성한다. 그러면, SEG 공정의 특성에 따라 폴리실리콘막 위에서는 폴리실리콘막이, 실리콘 기판 위에서는 실리콘 에피택셜층이 각각 형성되고, 산화막이나 질화막과 같은 절연막 위에서는 실리콘막이 형성되지 않는다. 따라서, 외부 베이스(50) 측면 및 상부에는 폴리실리콘막(62)이 형성되고 내부 베이스와 컬렉터 콘택이 형성될 영역에는 실리콘 에피택셜층(60)이 각각 형성된다. 특히, 바이폴라 트랜지스터 영역을 제외한 나머지 영역에서는 실리콘층이 형성되지 않는다.

<20> 바이폴라 트랜지스터의 컷-오프(cut-off) 주파수 특성을 향상시키기 위하여 상기 SEG 공정을 진행할 때 고농도의 보론(B)을 첨가하여 내부 베이스를 도우프시킨다.

- <21> 도 2d를 참조하면, 반도체기판의 전면에 베이스 스페이서용 산화막(64)을 증착한 다음, 소정의 사진공정에 의해 에미터와 베이스 사이의 콘택영역을 노출시키는 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴을 마스크로 하여 상기 베이스 스페이서용 산화막(64)을 이방성식각한다.
- <22> 여기서, 바이폴라 트랜지스터를 제외한 다른 모든 영역의 베이스 스페이서용 산화막은 후속 PMOS 스페이서 형성공정을 위해 모두 제거된다. 그리고, 상기 포토레지스트 패턴과 외부 베이스와의 중첩도(overlap)는, 후속 열공정에 의한 보론(B)의 열확산 정도를 감안하여 하부의 소자분리막(36)과 적절히 겹쳐지도록 조절한다. 이는, 외부 베이스와 콜렉터 사이의 기생 용량을 줄이기 위한 것으로, 베이스와 콜렉터 사이의 기생 용량(C_{bc})은 외부 베이스와 콜렉터 접합부에서의 P/N의 농도에 반비례하기 때문이다. 또한, 상기 산화막에 대한 식각 공정은, 구현하고자 하는 BiCMOS 소자의 디자인 룰(design rule)에 의해서 등방성 또는 이방성 건식식각, 등방성 또는 이방성 습식식각 또는 이들 간의 조합을 통해 이루어질 수도 있다.
- <23> 도 2e를 참조하면, 상기 반도체기판 상에 모스 트랜지스터의 소오스/드레인을 형성하기 위한 포토레지스트 패턴을 형성한 다음, 이 포토레지스트 패턴을 마스크로 사용하여 스페이서용 질화막을 이방성 식각하여 모스 트랜지스터의 게이트전극(46) 측면에 스페이서(68)를 형성한다. 다음, 상기 포토레지스트 패턴 및 스페이서를 마스크로 하여 반도체기판에 불순물을 고농도로 주입함으로써 PMOS 트랜지스터의 소오스/드레인(70)을 형성한다. 이 때, 바이폴라 트랜지스터 영역은 상기 포토레지스트 패턴과 스페이서용 산화막에 의해 외부 베이스(50)가 고농도로 도우프되고, NMOS 트랜지스터 영역은 포토레지스트 패턴에 의해 식각 및 이온주입이 차단된다.

<24> 그리고, 바이폴라 트랜지스터의 상기 외부 베이스(50)는 스페이서(66)가 덮여있는 외부 베이스와 스페이서가 없는 외부 스페이서에서의 도핑 농도가 차이가 있게 된다. 계속해서 통상의 방법으로 공정을 진행하여 소자를 완성한다.

【발명의 효과】

<25> 상술한 본 발명에 의한 BiCMOS 트랜지스터의 제조방법에 따르면, 외부 베이스와 내부 베이스간의 접합 면적을 최대화하면서, 외부 베이스와 콜렉터 사이의 기생 용량을 최소화할 수 있다. 따라서, 소자의 고주파 특성을 개선할 수 있다. 또한, 많고 복잡하던 노광공정을 단순화할 수 있으므로 제조비용과 제조기간을 단축할 수 있기 때문에 보다 경쟁력 있는 BiCMOS 제품을 생산할 수 있다.

<26> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체기판에 소자분리를 위한 필드산화막과 매몰산화막을 형성하는 단계;

상기 반도체기판에, 모스 트랜지스터가 형성될 웰과 바이폴라 트랜지스터의 콜렉터를 형성하는 단계;

상기 반도체기판 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막 위에, 모스 트랜지스터의 게이트전극과 바이폴라 트랜지스터의 외부 베이스를 형성하는 단계;

결과물 상에 스페이서용 질화막을 형성하는 단계;

바이폴라 트랜지스터 영역의 상기 스페이서용 질화막을 제거하는 단계;

상기 바이폴라 트랜지스터 영역에 실리콘층 및 폴리실리콘층을 선택적으로 형성하는 단계;

상기 폴리실리콘층 위에 절연막을 형성하는 단계;

상기 스페이서용 질화막을 식각하여, 상기 모스 트랜지스터의 게이트전극 및 상기 바이폴라 트랜지스터의 외부 베이스의 측면에 스페이서를 형성하는 단계; 및

상기 모스 트랜지스터의 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 바이 씨 모스(BiCMOS) 트랜지스터의 제조방법.

【청구항 2】

제 1항에 있어서, 상기 실리콘층 및 폴리실리콘층을 선택적으로 형성하는 단계는,

선택적 에피택셜 성장(Selective Epitaxial Growth) 방법으로 형성하는 것을 특징으로 하는 바이 씨 모스(BiCMOS) 트랜지스터의 제조방법.

【청구항 3】

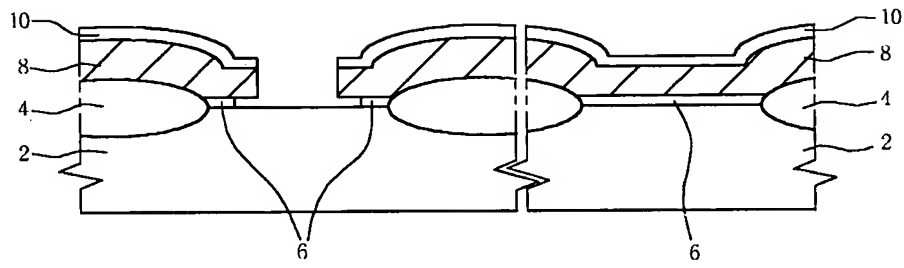
제 2항에 있어서, 상기 선택적 에피택셜 성장공정을 진행할 때 고농도의 불순물을 첨가하는 것을 특징으로 하는 바이 씨 모스(BiCMOS) 트랜지스터의 제조방법.

【청구항 4】

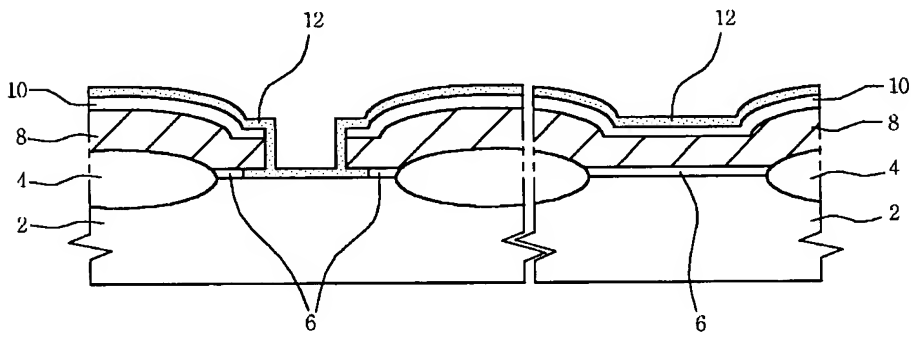
제 1항에 있어서, 바이폴라 트랜지스터 영역의 상기 스페이서용 질화막을 제거하는 단계에서, 상기 외부 베이스 하부에 형성된 게이트절연막도 완전히 제거하는 것을 특징으로 하는 바이 씨 모스(BiCMOS) 트랜지스터의 제조방법.

【도면】

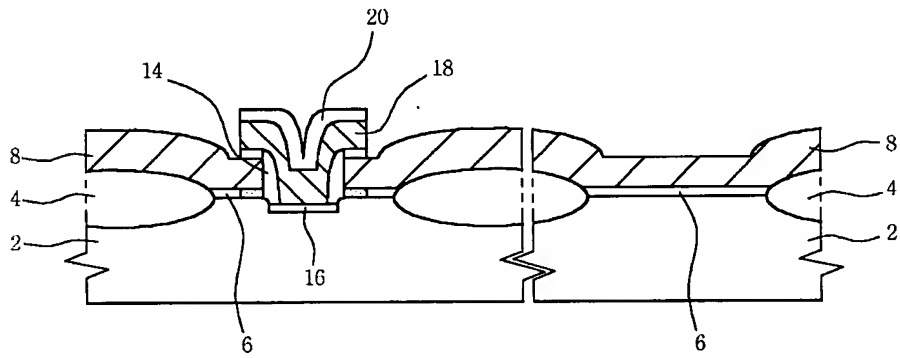
【도 1a】



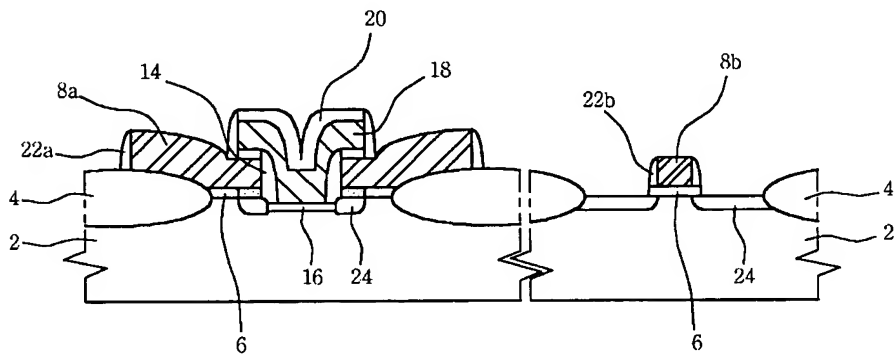
【도 1b】



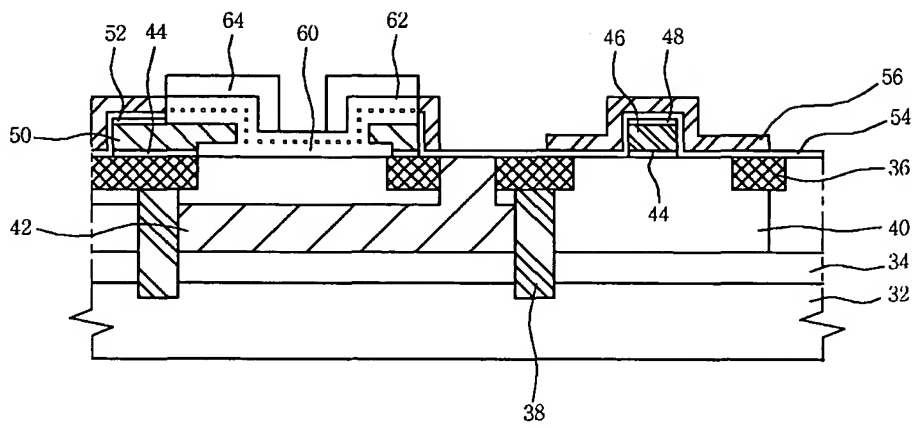
【도 1c】



【도 1d】



【도 2d】



【도 2e】

